



FPGA for High Speed Communications

**Headquarters
Milano**

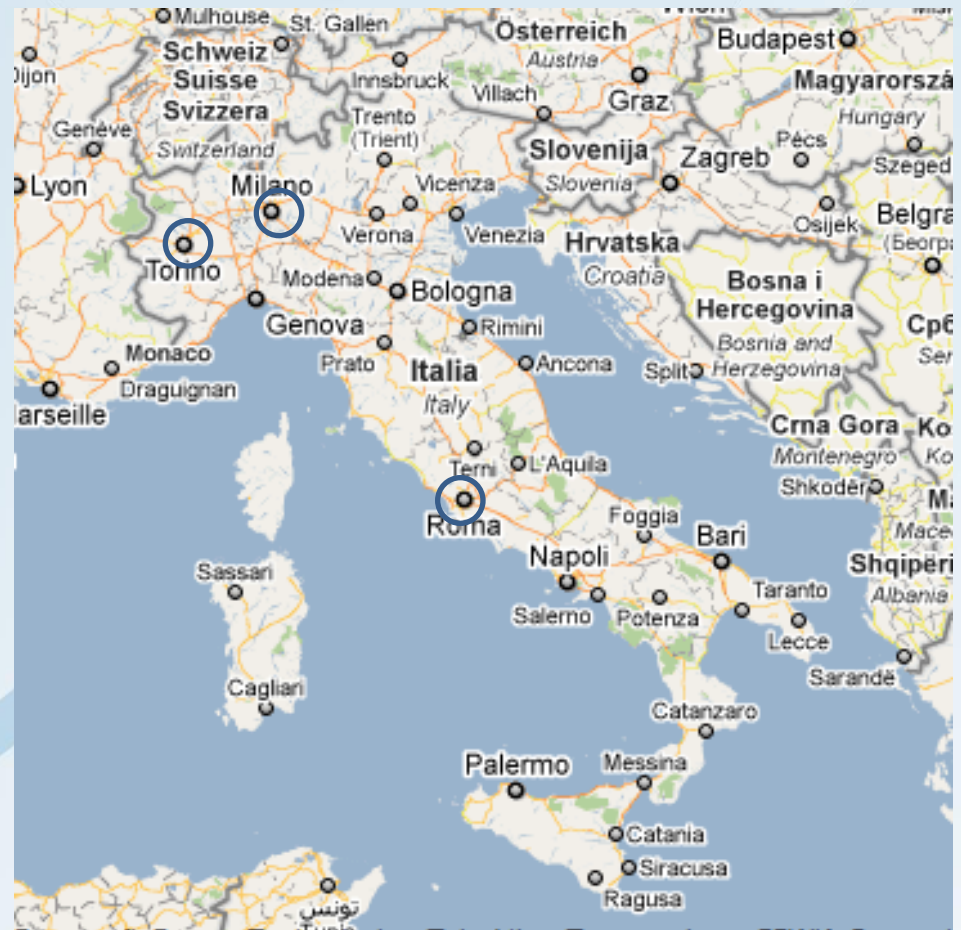
*Via Francesco Gonin
55*

Torino

C.so Svizzera, 185 bis

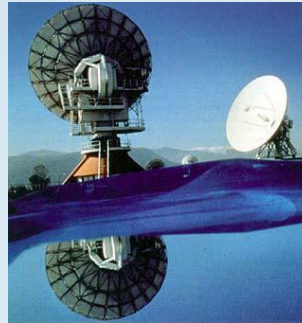
Roma

Via A. Ravà, 124





Aerospace e Defense



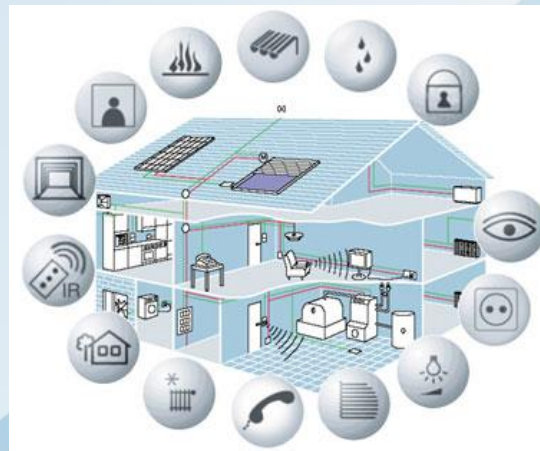
Telecommunication



Automotive



Transportation

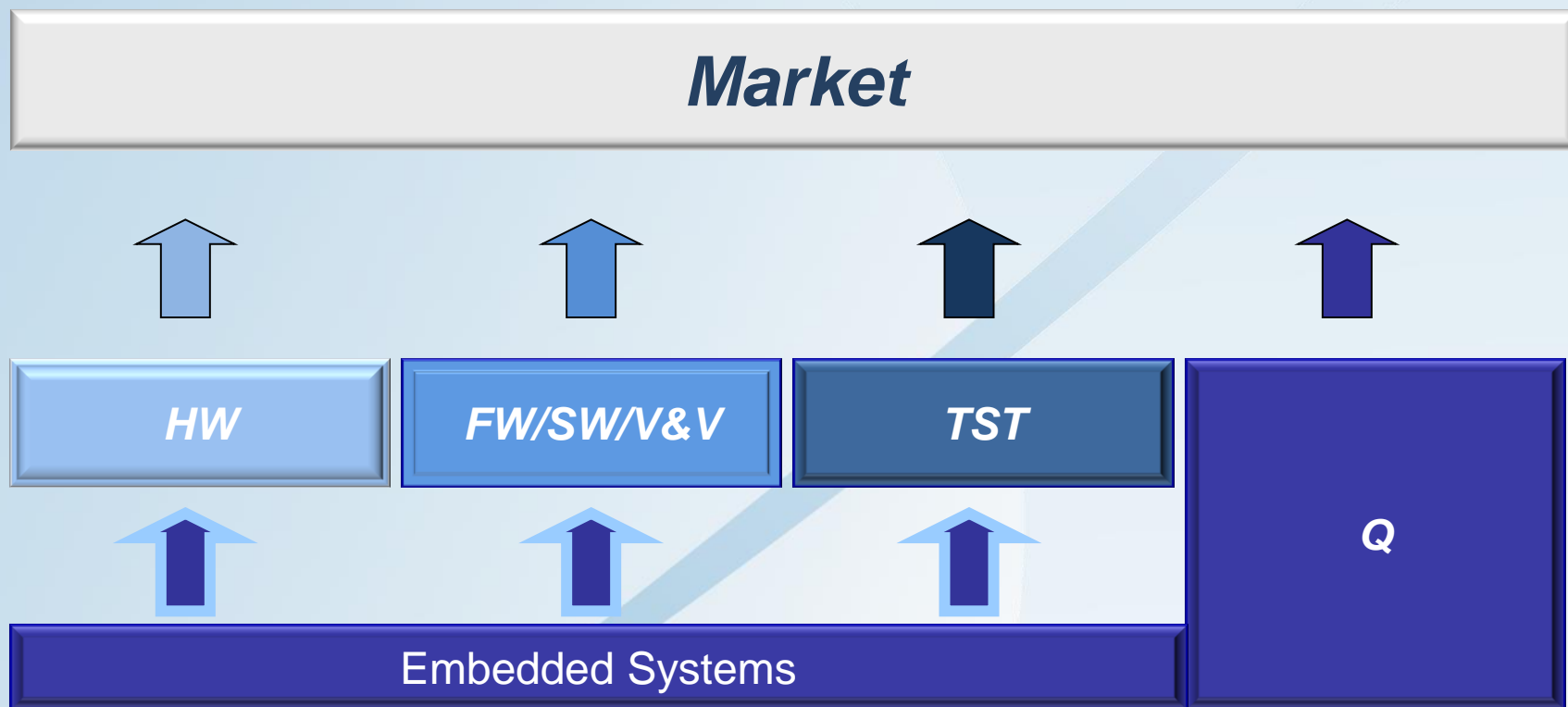


Home Automation



Biomedical

Progettazione e servizio di consulenza





- Università degli studi di Roma “Tor Vergata”
- Università degli studi di L’Aquila
- Università degli studi della Calabria
- Università degli studi Di Cassino

Attività

- Progetti finanziati
- Tirocini/tesi in azienda
- Collaborazioni

Progetto e realizzazione chiavi in mano di schede elettroniche

- Definizione dei requisiti di dettaglio
- Definizione dell'architettura della scheda
- Definizione procedura di test di validazione
- Progettazione schema elettrico (DxDesigner 7.9.5 flusso Expedition)
- Documentazione di supporto allo sbroglio
- Sbroglio, signal integrity, power integrity (con fornitori qualificati)
- Costruzione CS e montaggio (con fornitori qualificati)
- Progetto e realizzazione attrezzatura di test
- Test di validazione della scheda

Progetto e implementazione chiavi in mano di FPGA

- Definizione dei requisiti di dettaglio
- Definizione dell'architettura della FPGA
- Definizione procedura di test di validazione
- Progettazione FPGA (HDL Designer, Quartus II, Vivado, Libero IDE, VHDL)
- Simulazioni funzionali (Modelsim)
- Sintesi, P&R, Analisi di Timing (Vendors Tools)
- Test su HW (EVB, Target board)
- V&V in accordo alla DO-254
- Retargeting per risoluzione di obsolescenza

Evoluzione tecnologica delle FPGA

- Blocchi di memoria, blocchi DSP, Processori, Transceiver
- FPGA da semplice glue-logic a core del sistema, utilizzate come elemento di calcolo, come gateway di comunicazione e per l'acquisizione e canalizzazione delle informazioni (antenne)

Multi-gigabit Transceiver

- Blocchi HW che consentono la comunicazione su un link seriale fino a 26 Gbps
- FPGA utilizzate come gateway di comunicazione per svariate applicazioni (datacenter, reti, super-computer)

Sistema di analisi dello spettro elettromagnetico

- Acquisizione di porzioni dello spettro elettromagnetico
- Classificazione e formattazione delle informazioni verso il processore

Supercomputer Apenet+

- Elemento di calcolo GPU Nvidia
- FPGA utilizzate per la comunicazione tra i nodi di calcolo

Supercomputer Janus II

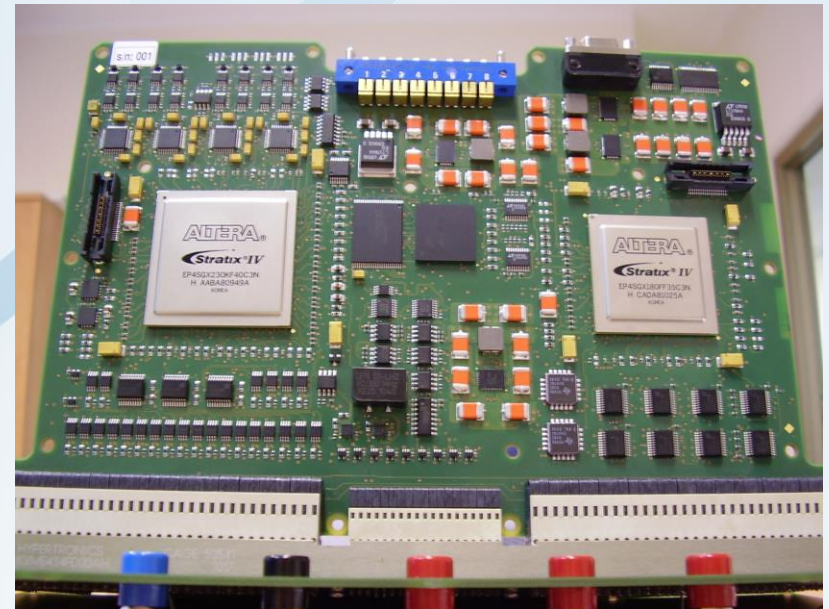
- Elemento di calcolo FPGA
- FPGA utilizzate per la comunicazione tra i nodi di calcolo

TCP-IP Offload Engine (TOE)

- Implementazione del protocollo TCP-IP su FPGA
- Applicazione della FPGA per scaricare il processore dall'onere dell'implementazione SW del protocollo e per ridurre la latenza

Scheda in formato VME-64

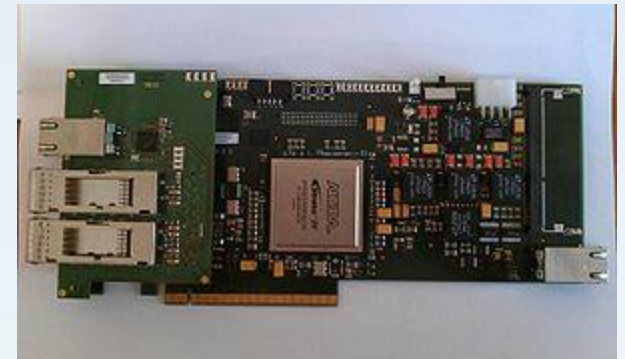
- Basata su 2 FPGA Altera Stratix IV GX-230
- 20 link seriali a 2.5 Gbps per lo scambio dei dati con il processore principale
- 30 link LVDS @ 320 Mbps
- 8 canali analogici @ 80 Msps
- RS-485 transceiver
- Slave VME implementato in FPGA per il controllo



Supercomputer basato su GPU

- Scheda FPGA custom basata su Altera Stratix IV GX-290
- I/F PCIe x8 Gen2 (5 Gbps per lane)
- 24 link seriali a 6.5 Gbps per lo scambio dei dati tra i nodi di calcolo
- 1 banco di memoria DDR3
- 1 interfaccia 1-Gbit Ethernet

[Link to Apenet+ Project](#)



Supercomputer basato su FPGA

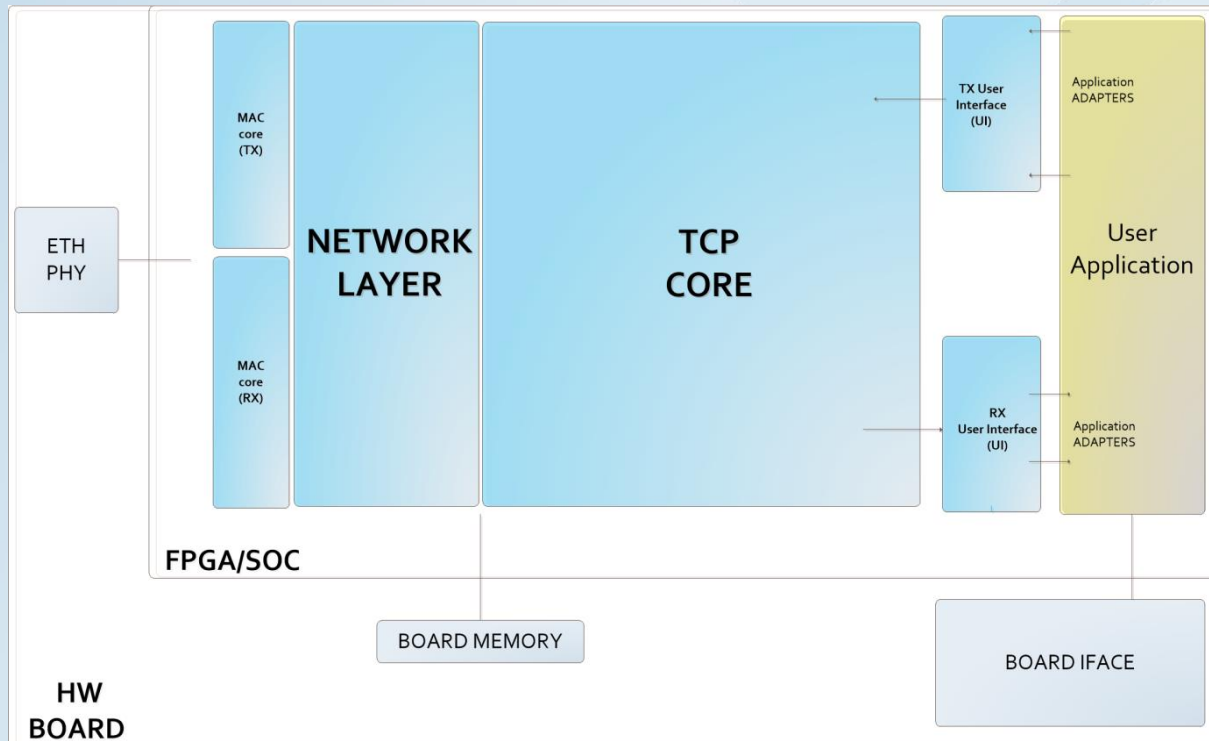
- Motherboard (MB)
- Scheda Processing (SP) FPGA Virtex 7
- Scheda di Controllo (SC) COM-e + Virtex 7
- La MB ospita 16 SP + 1 IOP consentendo la comunicazione tra tutti i nodi
- Ogni SP ha 36 link seriali a 5 Gbps con le schede vicine
- La IOP ha 16 link seriali a 5 Gbps per il controllo delle SP nel cassetto
- Ogni cassetto comunica con quelli adiacenti

[Link to Janus II Supercomputers](#)



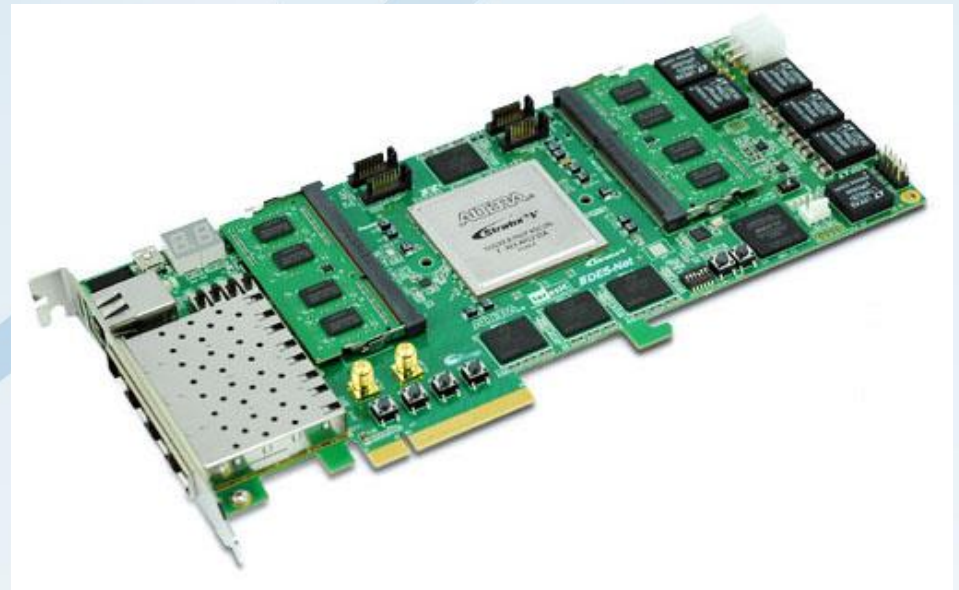
TCP-IP Offload Engine

- Implementazione su FPGA del protocollo TCP-IP
 - Completamente HW, senza necessità di un processore esterno
 - Core scritto in VHDL + IP proprietarie per interfacce



Prestazioni del TOE

- FPGA TCP Offload Engine (TOE) for networking applications
- 1G / 10G + VLAN support + configurable VLAN ID
- Layers 2, 3, 4, 5 (datalink, network, transport, and session)
- Packet retransmission upon error/lost/out of order
- Ethernet, IP and TCP checksum validation
- Out-of-order packets reordering
- 8 TCP/IP session
- ~500ns one way latency
- MTU of 1536 bytes
- IPv4
- Nagle's algorithm
- Fast retransmission
- Congestion avoidance
- Slow start
- **Porting su Altera Stratix V**

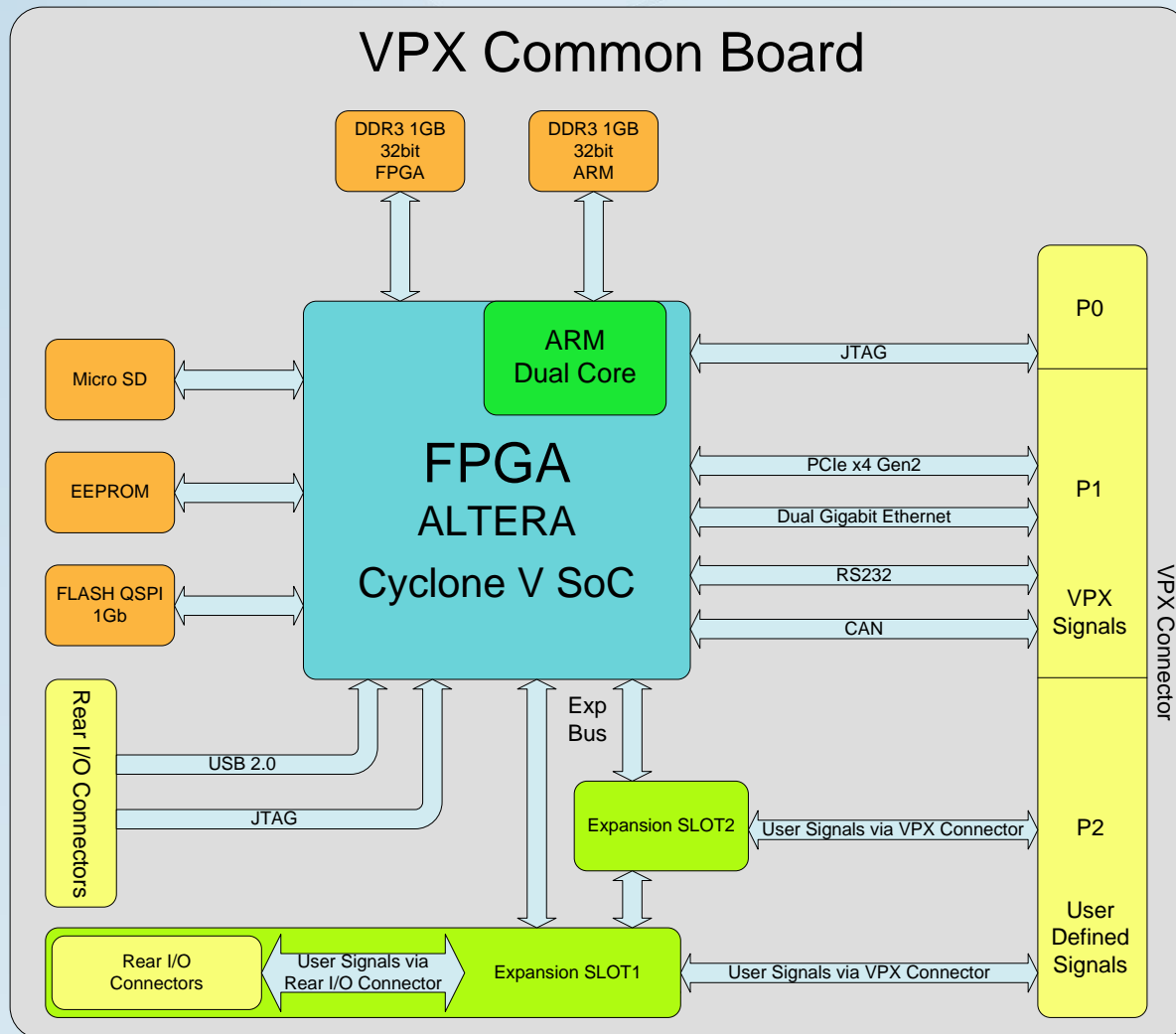


Sviluppo di un prodotto

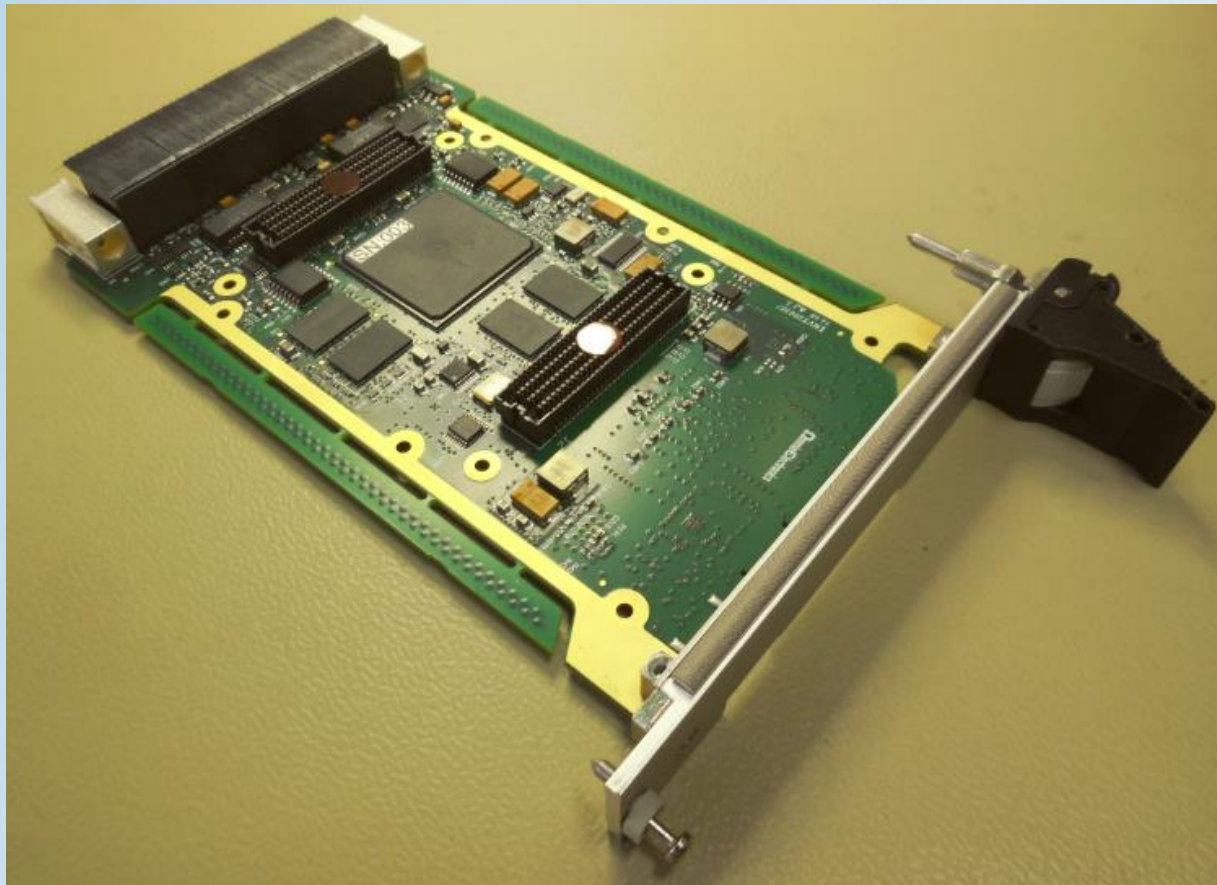
- Scheda Multi-function I/O in formato OpenVPX
 - 1 x New Altera® Cyclone® V SoC device with ARM® dual-core CPU
 - PCIe x4 Gen2 interface
 - 2 x Triple speed Ethernet interface
 - 2 independent High-speed DDR3 memory banks
 - SD Flash slot
 - Optional RS232/422/485, ARINC429, MIL-STD-1553 and CAN expansion modules
- Applicazioni
 - Input/Output for Avionic, Industrial and Naval applications
 - Base Communication Module
 - System on chip application
 - Modular Avionic

Attività in corso

- *Embedded Linux Porting (YOCTO)*
- *Sviluppo Board Support Package (BSP) per Linux*
- *Progettazione schede di espansione 1553-Arinc429-RS485*
- *Sviluppo applicazioni Demo per Arm*
- *Sviluppo VHDL per I/F con schede I/O*

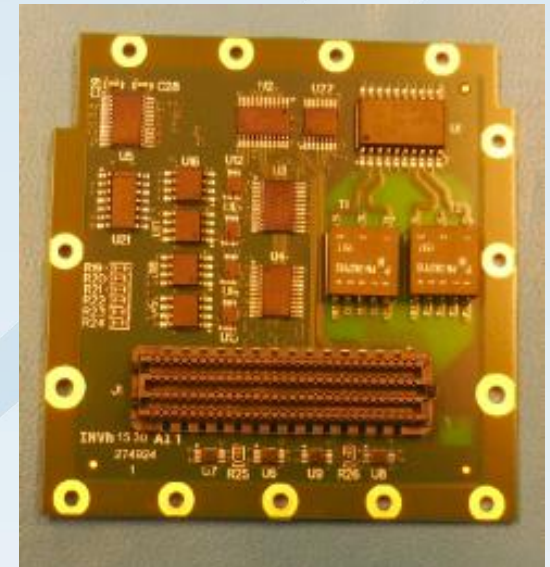


VP-2101

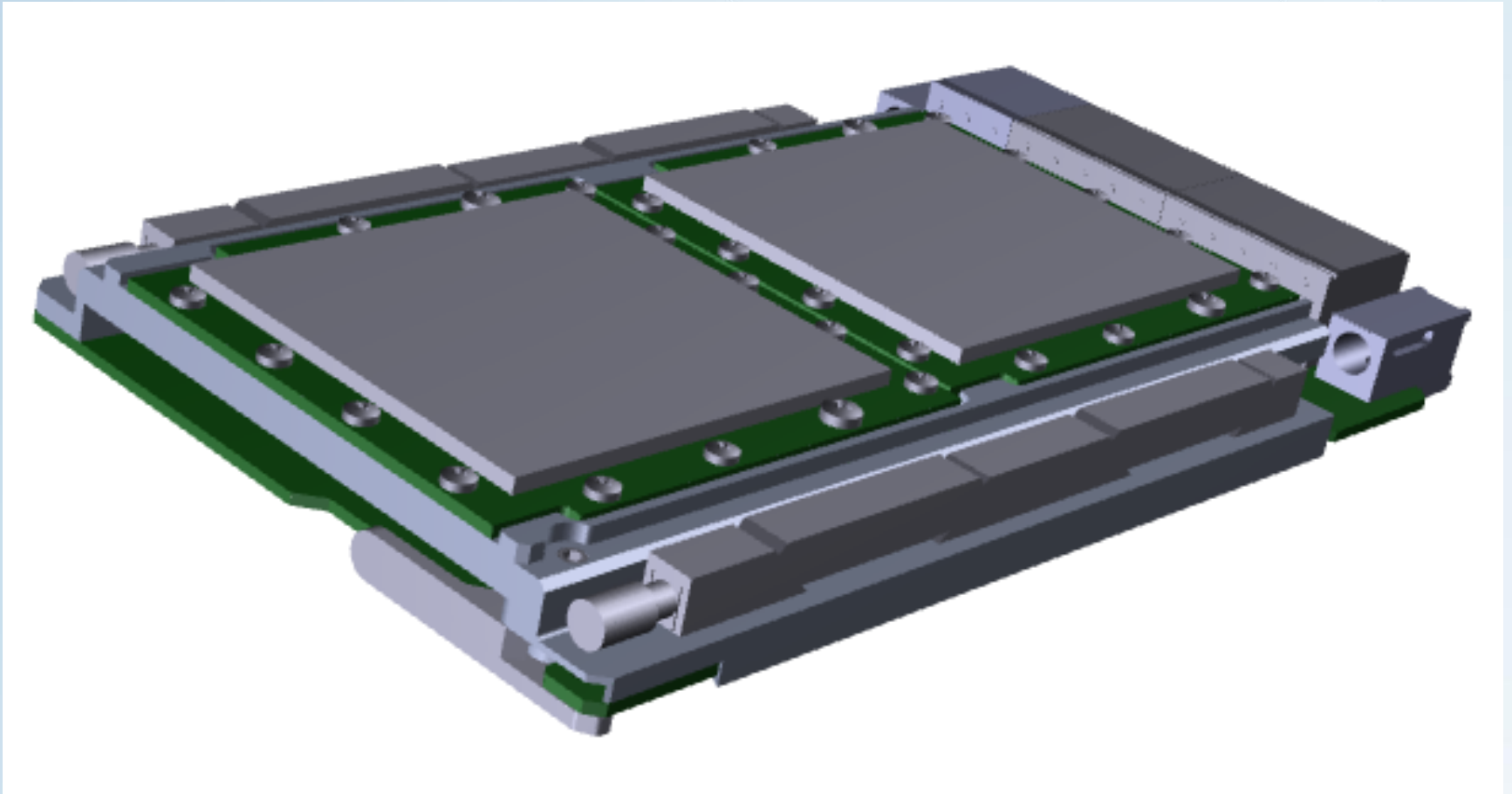


VP-2101

Mezzanino



Layout Meccanica Conduction Cooled





Andrea Del Re
andrea.delre@sky-team.it

Skytechnology srl
Via Adolfo Ravà, 124 - 00142 Roma
Tel.: +39 06 45439361