



INAF

ISTITUTO NAZIONALE
DI ASTROFISICA

Elettronica e Rivelatori : **ATTIVITÀ E COMPETENZE PRESSO IASF-PALERMO**

Speakers:

Lo Gerfo Fabio* - Nogara Paolo

***sostituto Giuseppe Sottile**

FORUM DELLA RICERCA SPERIMENTALE E TECNOLOGICA IN INAF

22–24 GIUGNO 2022 - AREA RICERCA BOLOGNA

Lo IASF di Palermo ha una lunga tradizione nella progettazione e realizzazione di strumentazione scientifica per osservazioni Astrofisiche. Molta esperienza è stata acquisita in passato mediante le campagne di voli in palloni stratosferici e con esperimenti basati su osservazioni da terra. Questo background ha consentito lo sviluppo di prototipi relativi a nuovi sistemi di osservazione da terra e da spazio.

Di seguito verranno presentate alcune delle competenze acquisite dallo IASF di Palermo e verrà fatta una rassegna della strumentazione progettata, realizzata e testata in merito ai progetti che coinvolgono il nostro istituto.

Attività del gruppo di elettronica

Le attività del team di Elettronica e rivelatori dello IASF di Palermo sono:

- Definizione delle specifiche per progetti
- Progettazione dell'elettronica tramite EDA con particolare attenzione alle problematiche di Signal Integrity (SI) e Power Integrity (PI)
- Sviluppo FW per FPGA e microcontrollori
- Simulazione spise dei circuiti
- Realizzazione di board prototipo
- Allestimento di bench-test e sviluppo del relativo SW
- Validazione dell'Elettronica sviluppata

Progettazione di strumentazione per voli in pallone

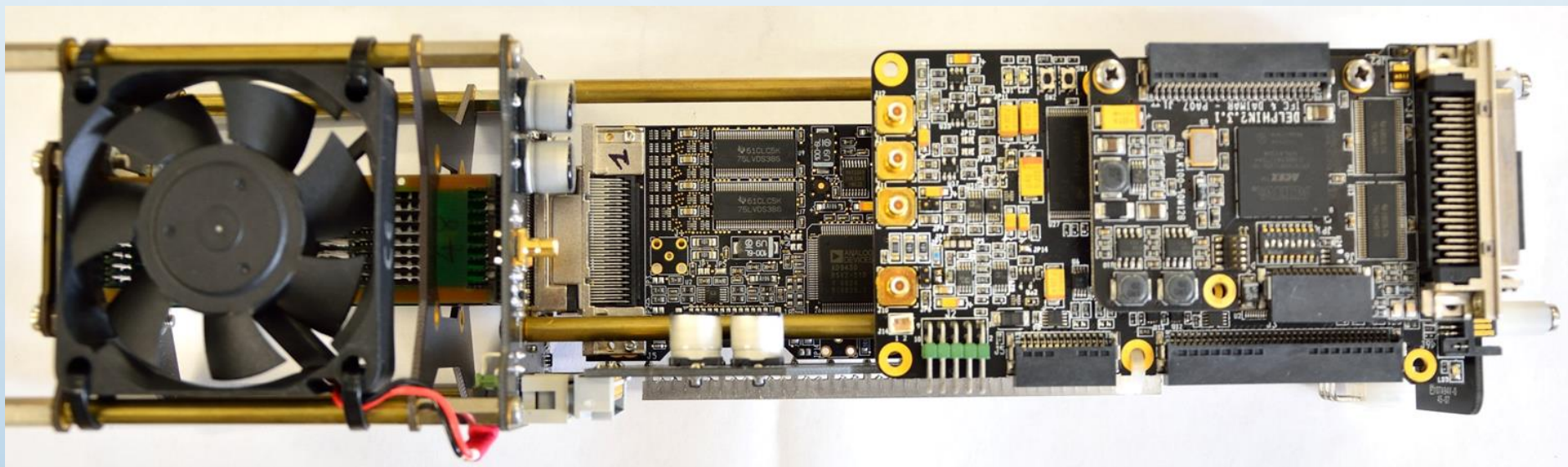


Sistema di acquisizione in elettronica digitale lanciata su palloni stratosferici prima dell'avvento delle FPGA (1999)



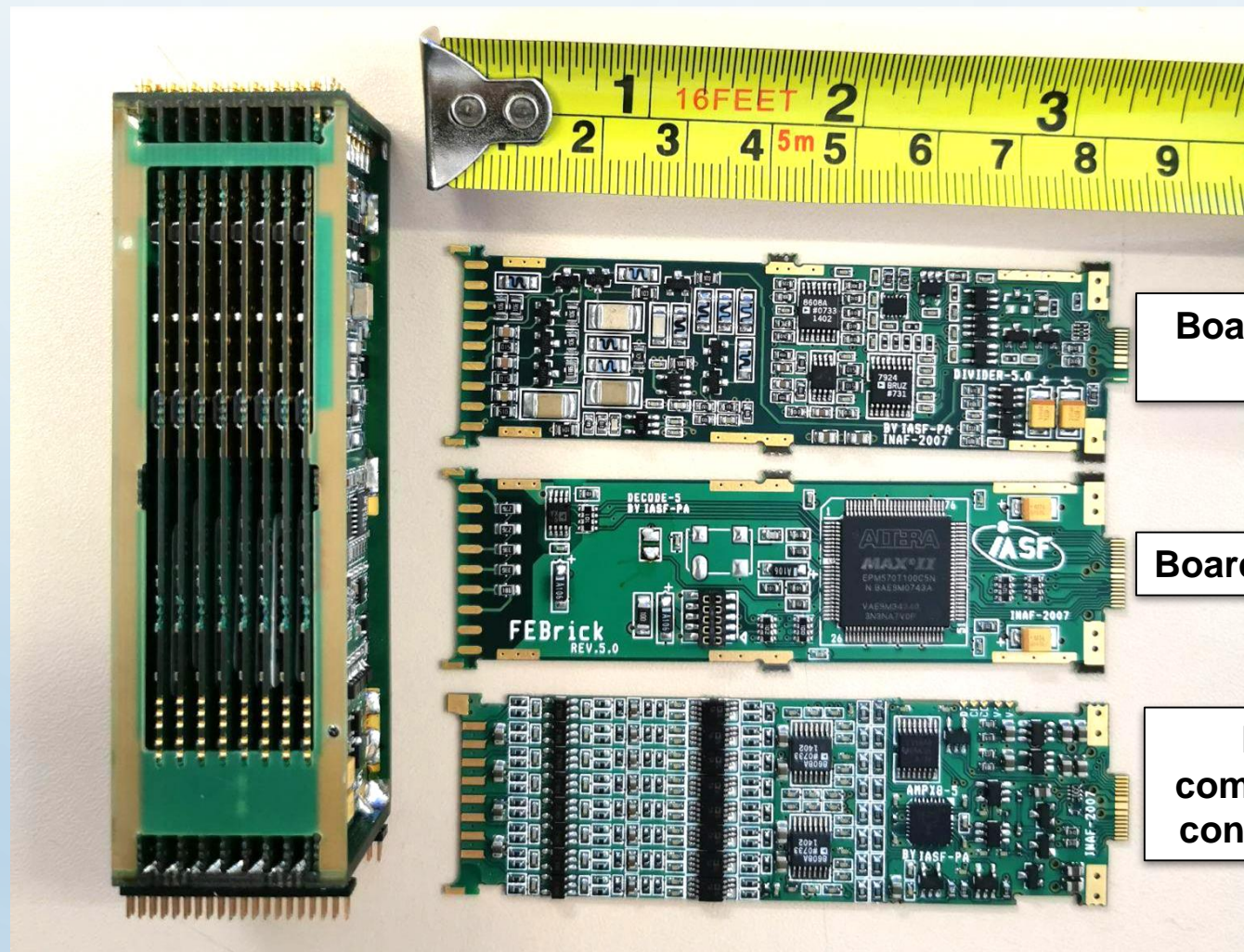
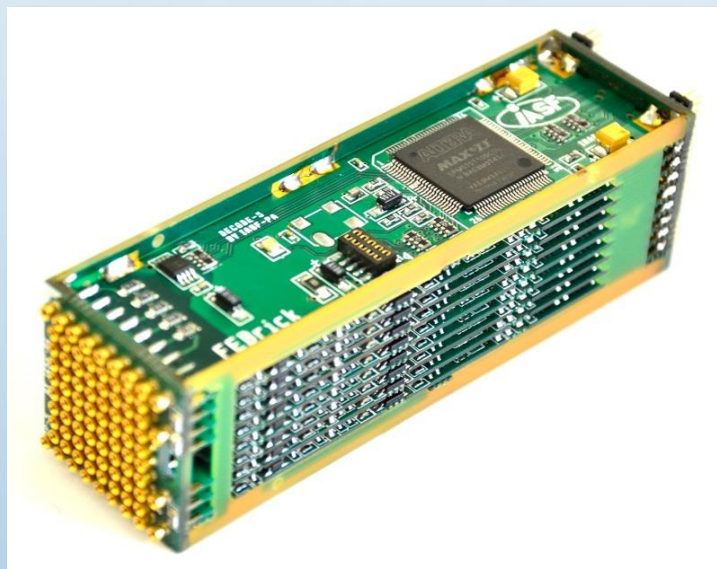
Evoluzione del precedente sistema con utilizzo di CPLD (2000)

Uvscope misura l'intensità luminosa nella banda UV in Single Photon Counting fino ad una rate di 100MHz e basato su PMT



UVSCOPE ha molti anni di onorato servizio sul campo per la misura del Night Sky Background. Attualmente è installato a bordo del telescopio ASTRI Horn.

Front-End Electronics di UVscope 64 canali

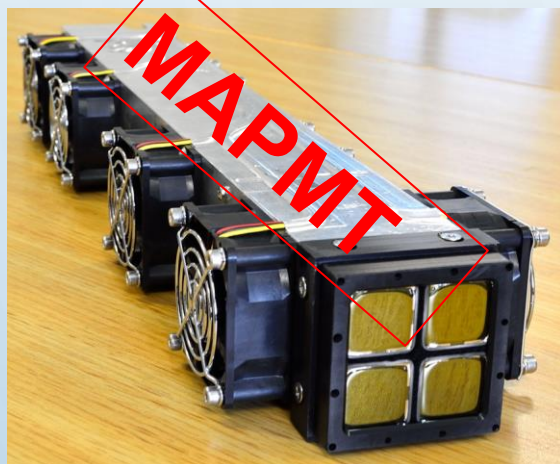


Board con partitore HV

Board di controllo

Board FEE a componenti discreti contenente 8 canali

Progetto GAW (Gamma Air Watch)

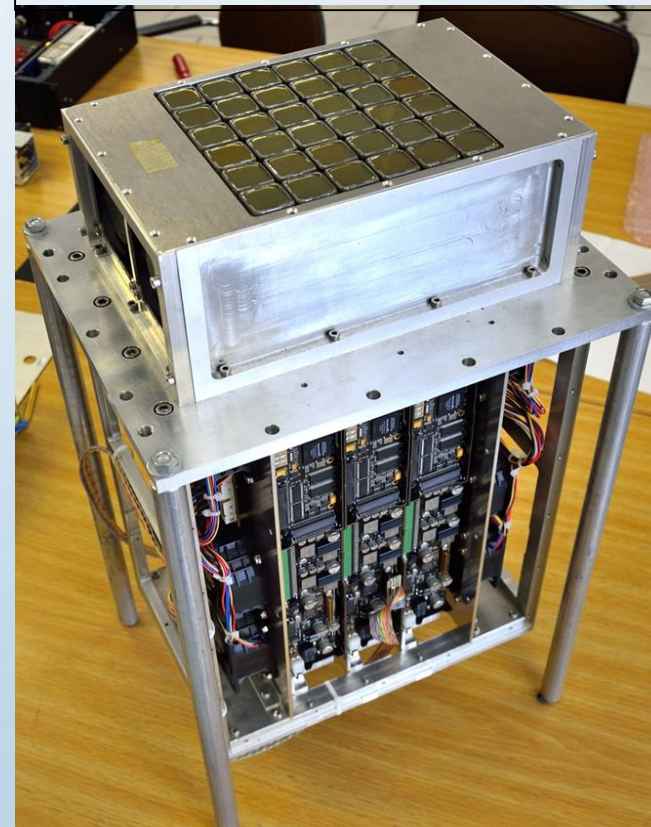


La macrocella

UV scope è stato propedeutico allo sviluppo di GAW in quanto ogni macrocella è costituita da un modulo UV scope.

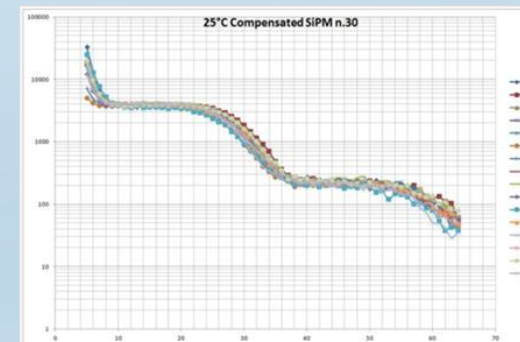
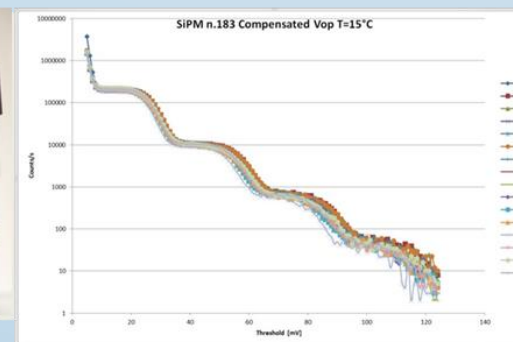
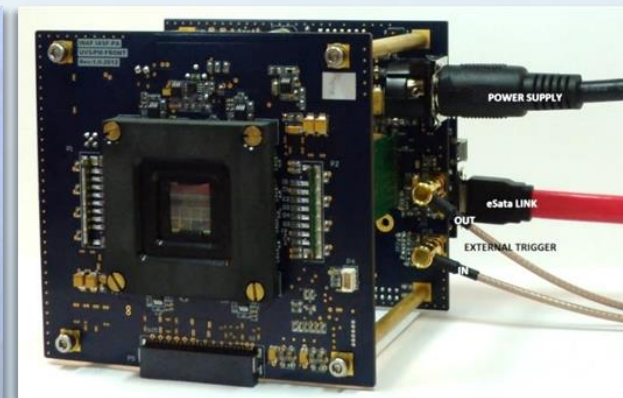
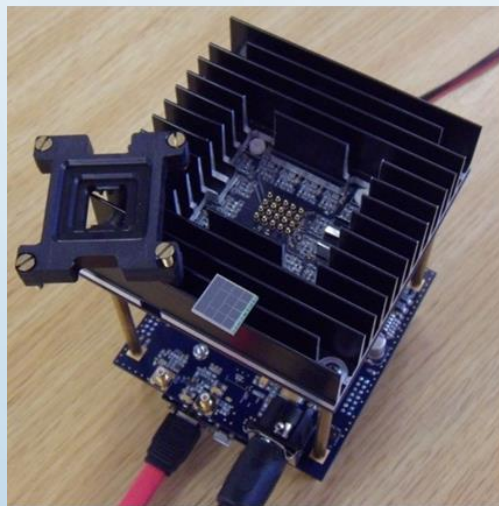
L'elettronica sviluppata per il progetto **GAW** permette di soddisfare il requisito essenziale di simultaneità dell'evento acquisito dai diversi moduli **UVscope**.

IL Piano focale di GAW



UVSiPM misura l'intensità luminosa nella banda UV in Single Photon Counting fino ad una rate di 100MHz basato SiPM

UVSiPM è uno strumento di misura della quantità di luce funzionante in SPC con 10ns di risoluzione temporale basato su fotorivelatori SiPM



Progetto ASTRI: la camera

Dal disegno delle prime schede...al prototipo fino

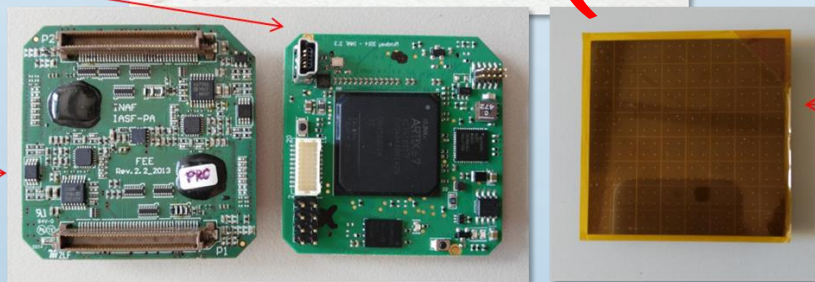
Photon Detection Module



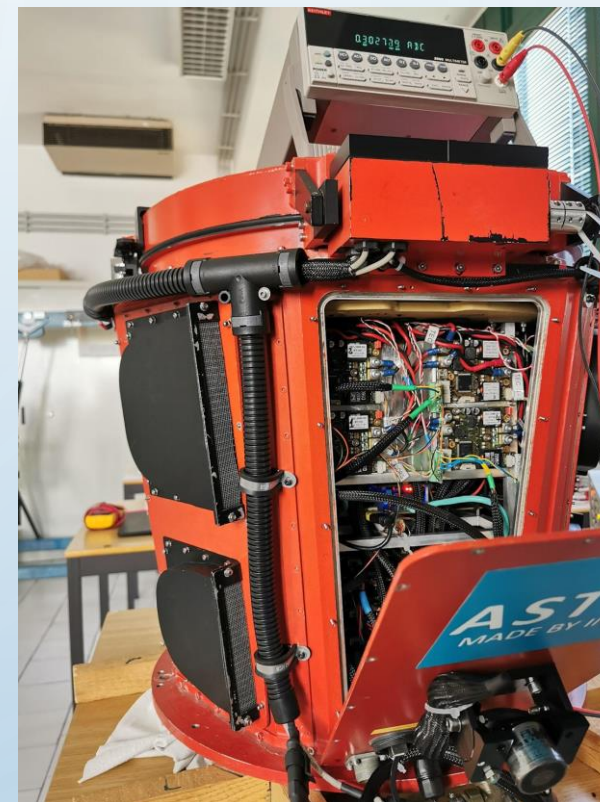
**SiPM
(MPPC)**

FPGA board

FEE board



SiPM board



Requirements Specification della Camera per ASTRI Mini-Array

 ASTRI MINI-ARRAY	
<small>ASTRI - Astrofisica con Specchi a Tecnologia Replicante Italiana</small>	
Code: ASTRI-SPE-7340-001	Issue: 1.0
DATA: 05/06/20	Page: 1

Documento di specifica dei requisiti del Sistema di Calibrazione della Camera Cherenkov ASTRI nell'ambito del programma INAF "Astronomia Industriale"

Specificati
Cherenkov
of the INAF



 ASTRI MINI-ARRAY	
<small>ASTRI - Astrofisica con Specchi a Tecnologia Replicante Italiana</small>	
Code: ASTRI-SPE-7310-001	Issue: 0.1
DATA: 04/06/2020	Page: 1

Documento di specifica dei requisiti della termo-meccanica della camera Cherenkov ASTRI nell'ambito del programma INAF "Astronomia Industriale"

ASTRI specificato
Thermo-mechanica
Camera in the
"Astronomia Indust



Prepared by:	Nar
Approved by:	Nar
Released by:	Nar

 ASTRI MINI-ARRAY	
<small>ASTRI - Astrofisica con Specchi a Tecnologia Replicante Italiana</small>	
Code: ASTRI-SPE-7332-001	Issue: 1.0
DATA: 05/06/20	Page: 1

Documento di specifica dei requisiti della BEE
BEE Specification Requirements Document



Prepared by:	Name:	AS Carner
Approved by:	Name:	S. Sc
Released by:	Name:	G. Pa

Prepared by:	Name:	ASTRI Camera Team	Signature:		Date:	
Approved by:	Name:	S. Scuderi	Signature:		Date:	
Released by:	Name:	G. Pareschi	Signature:		Date:	

All information contained in this document is property of INAF. All rights reserved.

All information contained in this document is property of INAF. All rights reserved.

 ASTRI MINI-ARRAY	
<small>ASTRI - Astrofisica con Specchi a Tecnologia Replicante Italiana</small>	
Code: ASTRI-SPE-7333-001	Issue: 1.0
DATA: 03/06/20	Page: 1

Voltage Distribution Box
Requirements Specification Document



Prepared by:	Name:	ASTRI Camera Team	Signature:		Date:	
Approved by:	Name:	S. Scuderi	Signature:		Date:	
Released by:	Name:	G. Pareschi	Signature:		Date:	

All information contained in this document is property of INAF. All rights reserved.

 ASTRI MINI-ARRAY	
<small>ASTRI - Astrofisica con Specchi a Tecnologia Replicante Italiana</small>	
Code: ASTRI-SPE-7331-001	Issue: 1
DATA: 03/06/20	Page: 1

Documento di specifica dei requisiti della scheda FPGA
FPGA Board Specification Requirements Document

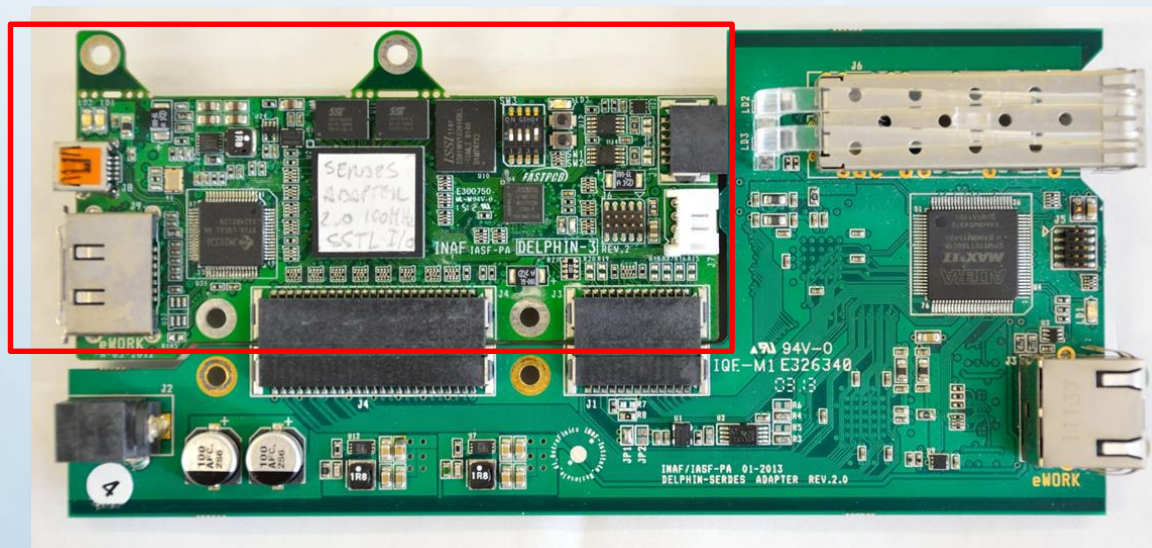


Prepared by:	Name:	ASTRI Camera Team	Signature:		Date:	
Approved by:	Name:	S. Scuderi	Signature:		Date:	
Released by:	Name:	G. Pareschi	Signature:		Date:	

All information contained in this document is property of INAF. All rights reserved.

Progettazione schede per interfaccia ad alta velocità (data rate 133MB/s)

LA DELHPIN



(Brevetto)

NOTE:

Per il progetto THESEUS potrebbe rivelarsi fondamentale perché permetterebbe il trasferimento dei dati di **12800** canali della BEE alla DHU

Oggi la scheda DELPHIN permette di interfacciarsi ad un PC attraverso porte standard di comunicazione USB 3.0 e/o eSATA.

Sistema di sincronizzazione sub nanosecondo per sistemi di acquisizione distribuiti

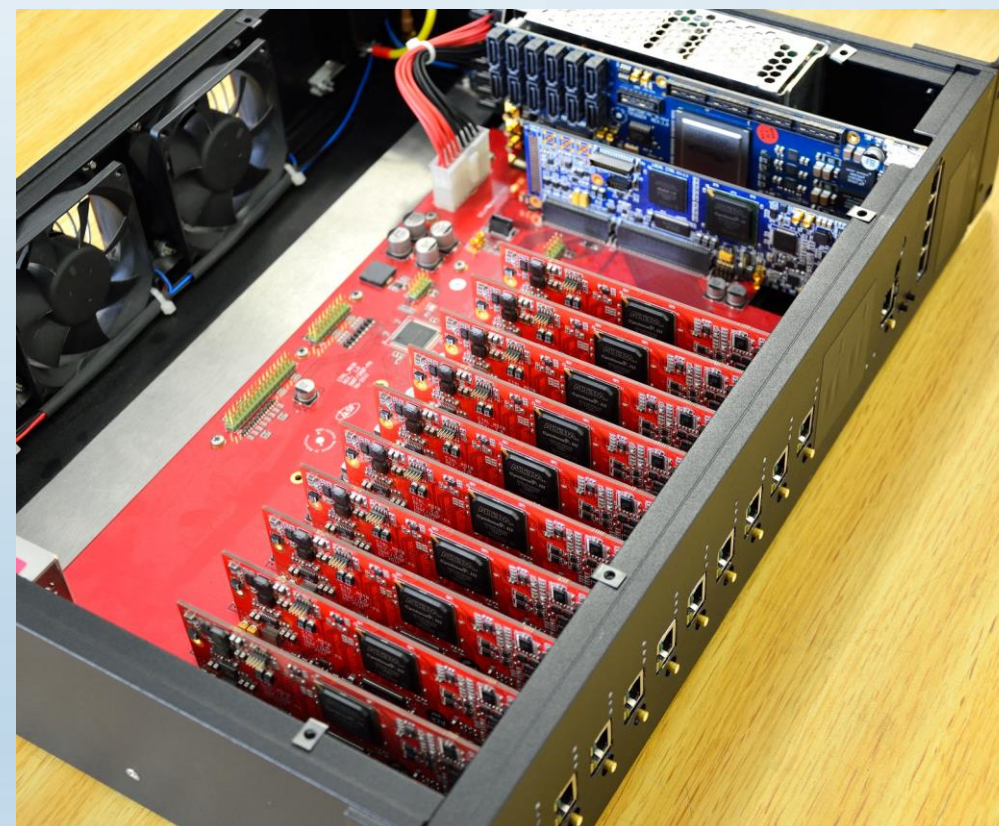
Sistema simile al White Rabbit (WR) sviluppato al CERN ma basato su una tecnologia diversa e sviluppato allo IASF di Palermo

Sincronizzazione del clock, finestra di acquisizione e segnali di trigger con un indeterminazione entro i 100ps
 Indipendentemente dalla lunghezza dei cavi o delle fibre ottiche di collegamento

Trigger board



Il sistema completo

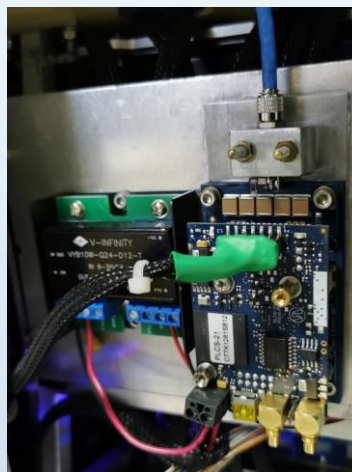
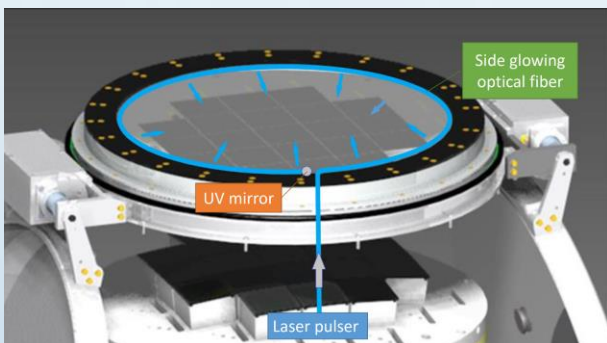


Local Controller board

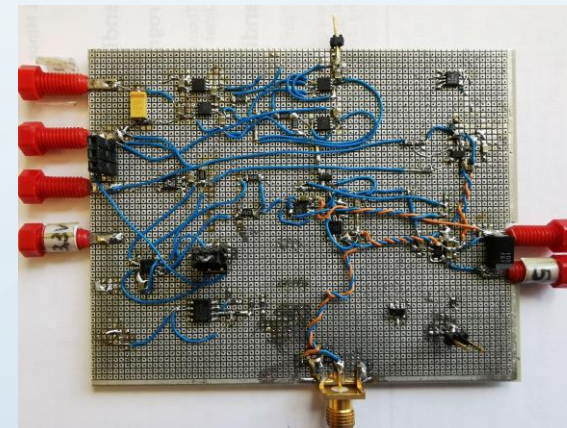
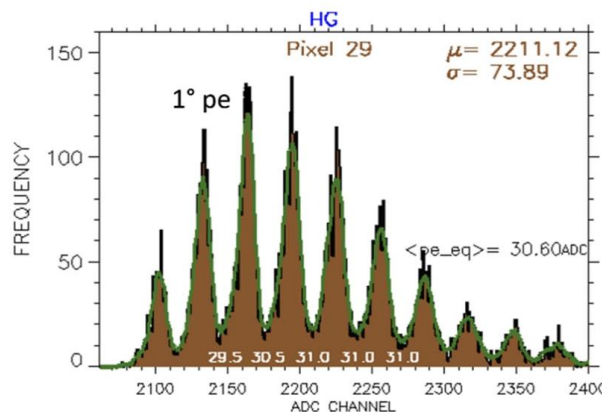
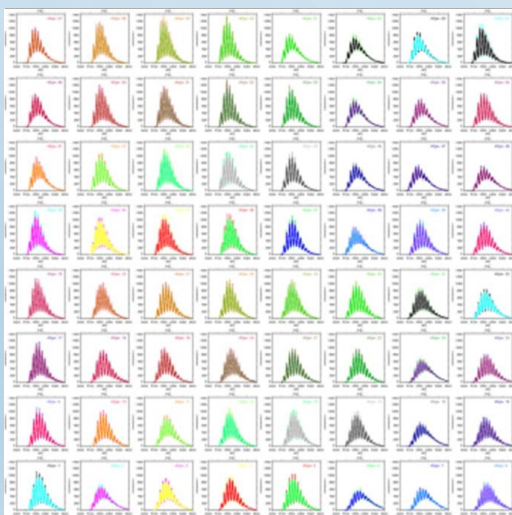


Progettazione di sistemi per la calibrazione dell'elettronica di front end

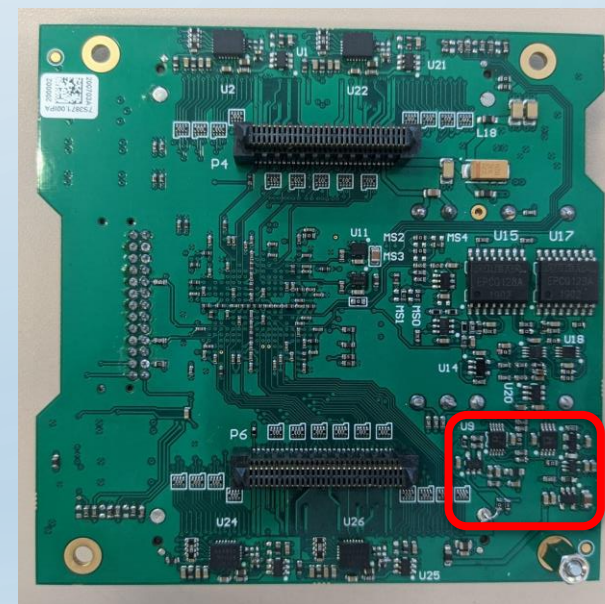
Calibration System a bordo camera - ASTRI Horn



Pulse Height Distribution per PDM



Impulsatore per calibrazione su bareboard

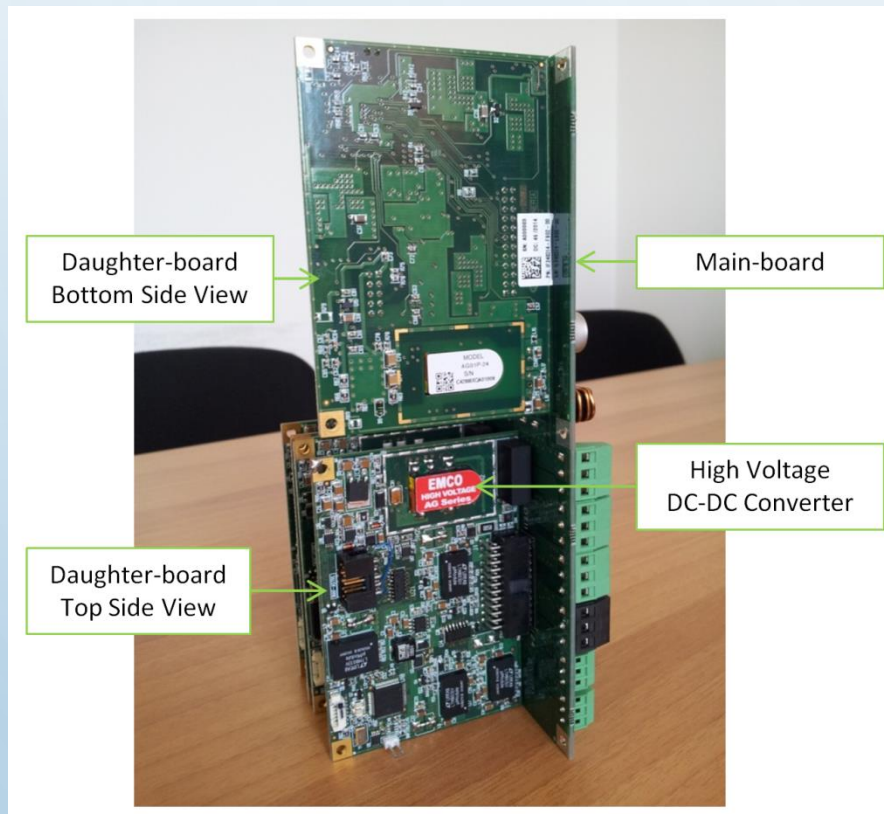


HERMES

Impulsatore per calibrazione su PCB

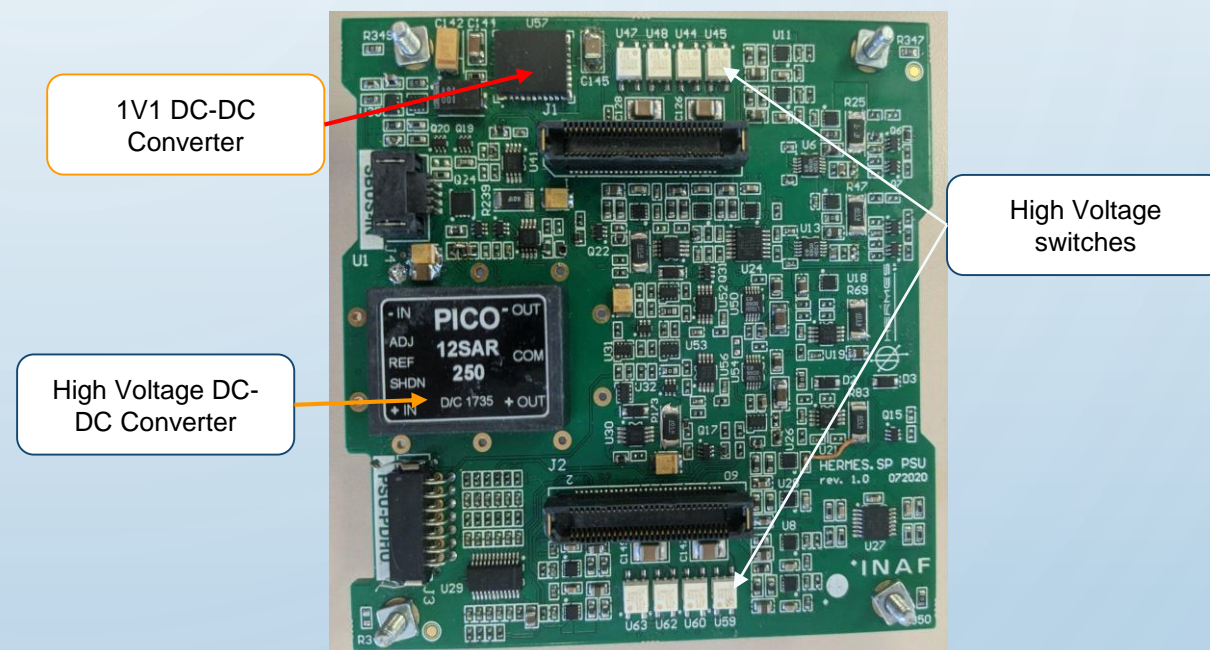
Progettazione di stadi di alimentazione a basso rumore per fotorivelatori

VDB per il progetto **ASTRI**
(Per osservazioni da terra)

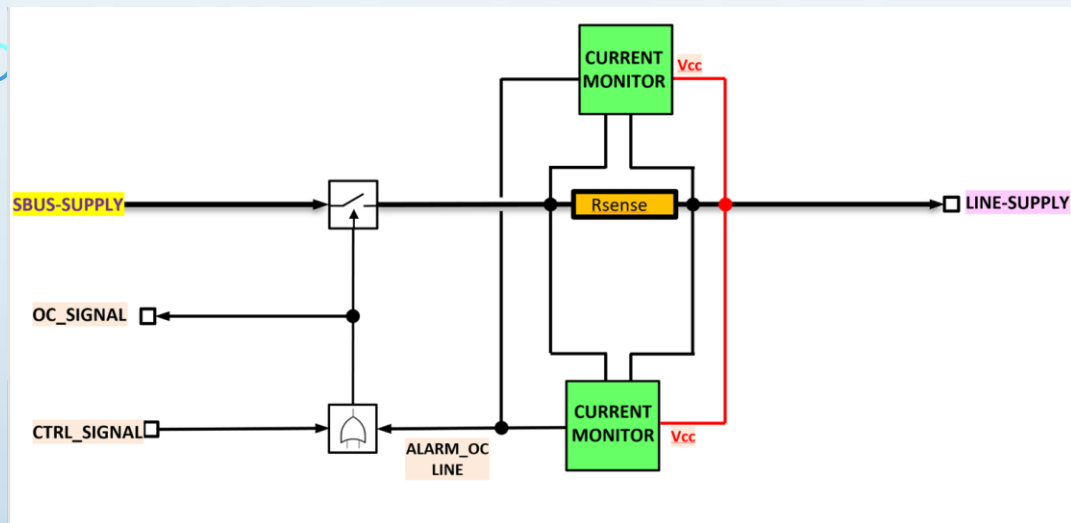


PSU per il progetto **HERMES**
(Per osservazioni dallo spazio)

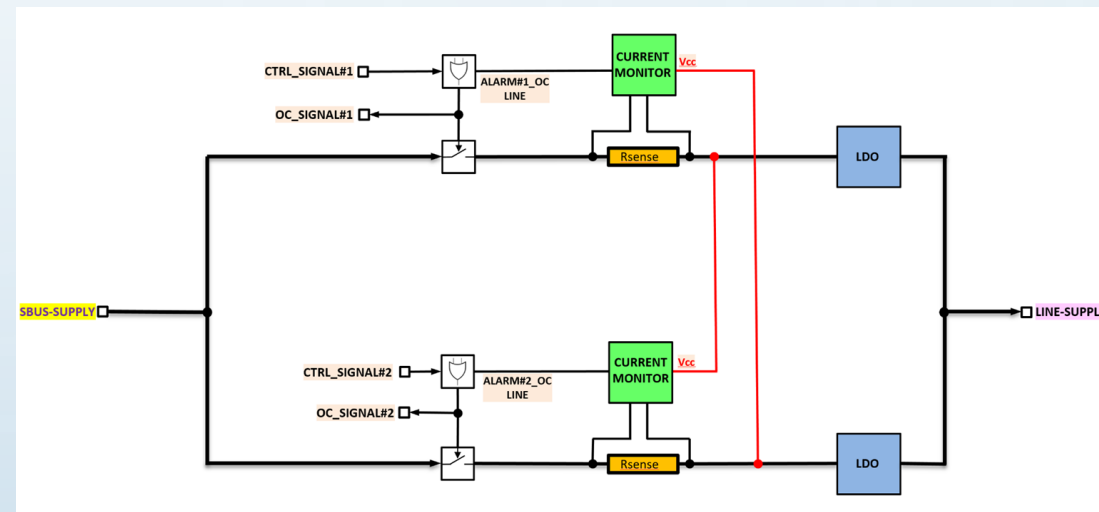
La sfida: utilizzare solo componenti commerciali e proteggere elettronica da latch-up



Progettazione di circuiti di protezione da sovracorrente



Monitor di corrente con ridondanza



Monitor di corrente ridondato a controllo incrociato

Entrambe le strutture sono state implementate per la PSU di **HERMES**

Sviluppo di software per il controllo degli strumenti

Software camera **ASTRI*** (vedi presentazione Mattia Corpora HW&SW Strumentale)

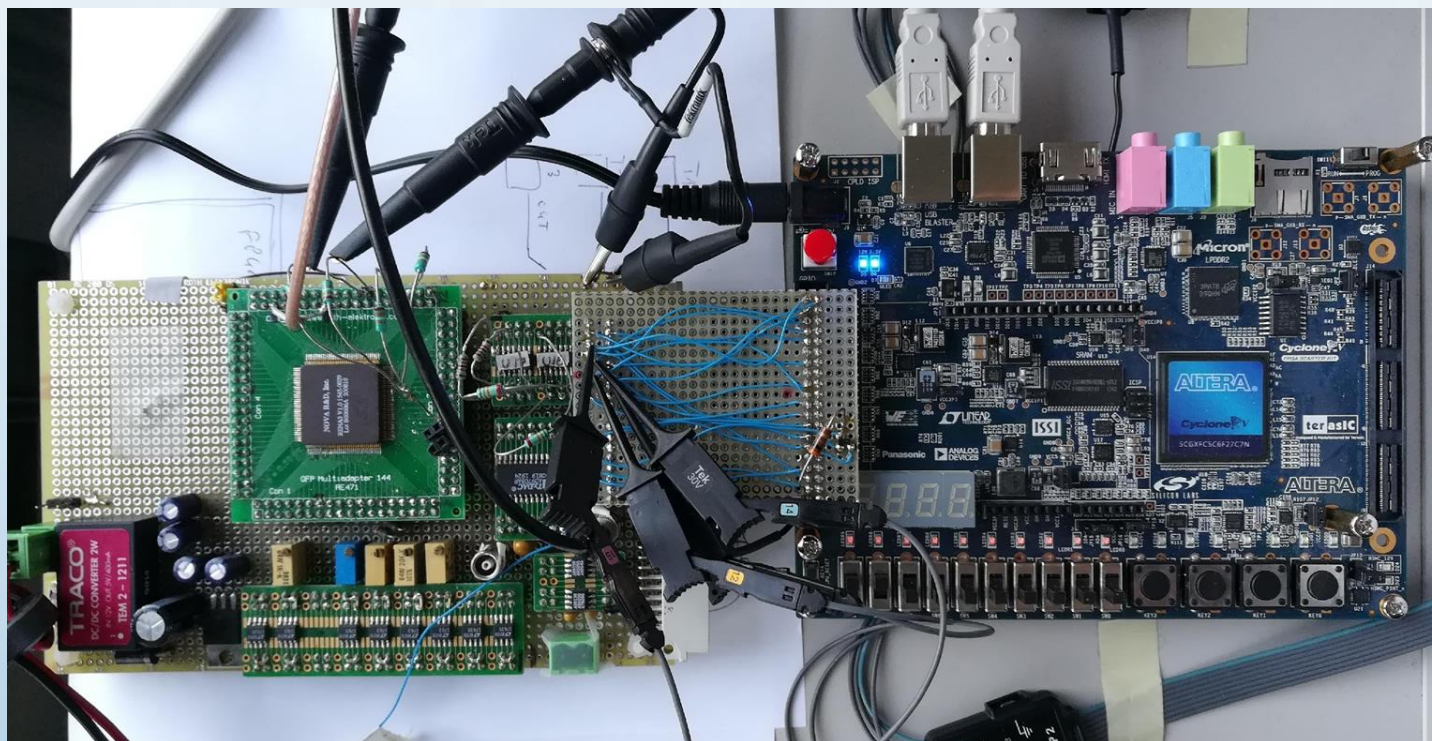
- ADDRESS** D40 D39 D38 D37 D36 D35 ("000000" = CH1; "100011" = CH3)
- FB_TC** D34 (Seleziona la resistenza di feedback: 0-200Mohm 1=1.25kOhm)
- ECAL** D33 (Ritarda collettore: 0=disable 1=enable)
- FPDWN** D32 (Set to a 1 to power down fast path circuit)
- FETSEL** D31 (Set to a 1 to use the simple FET feedback)
- G_SEL** D30 D29 Gain selection: [0] = 1.6, [1] = 1.8 [10] = 2.3 [11] = 5.0
- PDWN** D28 (Set to a 1 to power down most of the circuit)
- PZSEL** D27 (Pole Zero cancellation circuit selection: 1=EN)
- RANGE** D26 (Set the feedback capacitor size: [1] = 63F, [2] = 19F)
- RSEL** D25 (Reference selection for the channel: 1=for negative signal)
- SEL** D24 D23 D22 D21 Time constant selection: low: 0.26 0.31 0.32 0.36 0.37 0.38 0.40 0.71 0.91 0.99 1.1 1.5 2.8 4.5 38
- SIZEA** D20 (Size of the input FET for noise optimization: -FET 450m 1=FET 1000m)
- DF** D19 D18 D17 D16 D15 D14 D13 Fast DAC value: ALL_0 (PREFLO 3/16*15'DACREF); ALL_1 (PREFLO + 13/16*15'DACREF)
- POL** D11 (Polarity selection for comparison 1= positive, 0=negative)
- DOL** D10 D9 D8 D7 D6 D5 D4 D3 Slow DAC value: ALL_0 (PREFLO 3/16*15'DACREF); ALL_1 (PREFLO + 13/16*15'DACREF)
- ENF** D2 (Enable FAST trigger)
- ENS** D1 (Enable SLOW trigger)
- FM** D0 (Follower Mode)

Software 3D-CZT

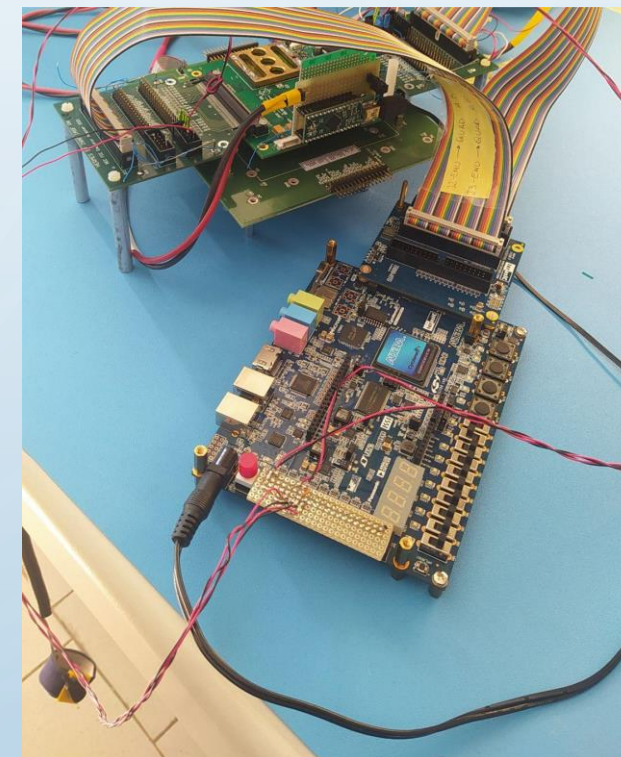
Software di controllo realizzati per inviare comandi e ricevere dati dall'elettronica sotto test

Software HERMES

Sviluppo firmware per elettronica di controllo (FPGA, microcontrollori, uP...)



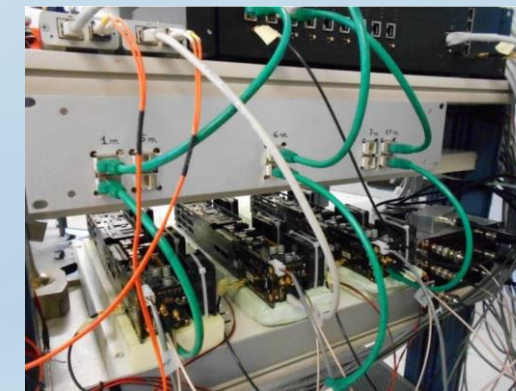
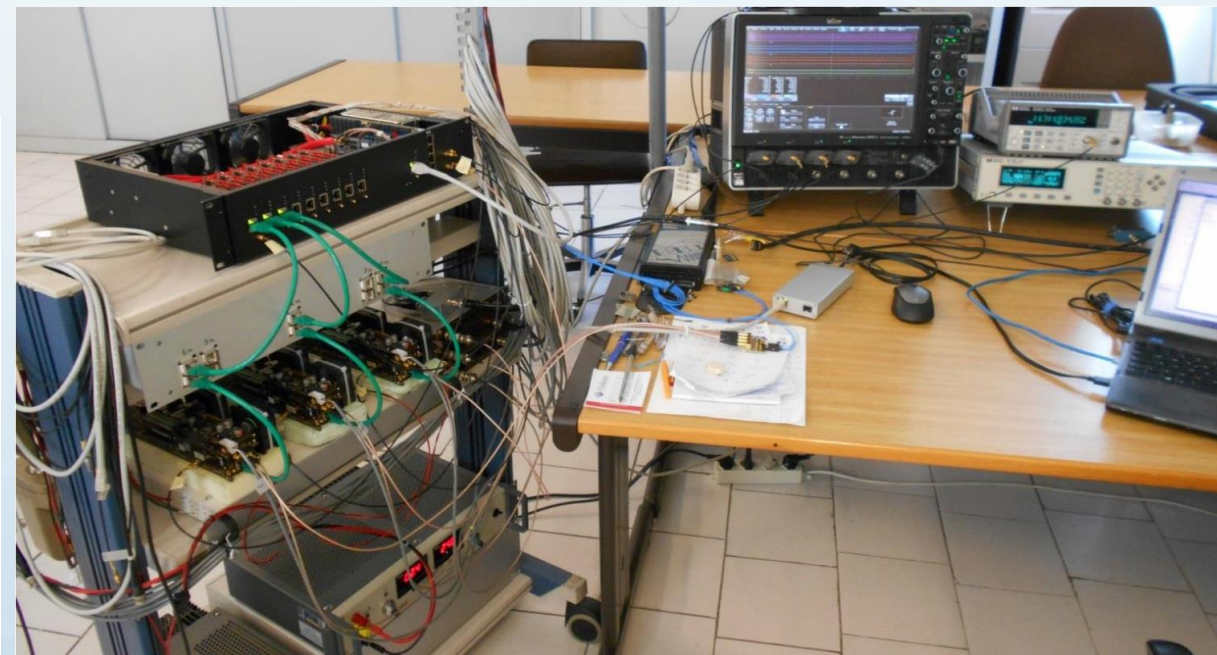
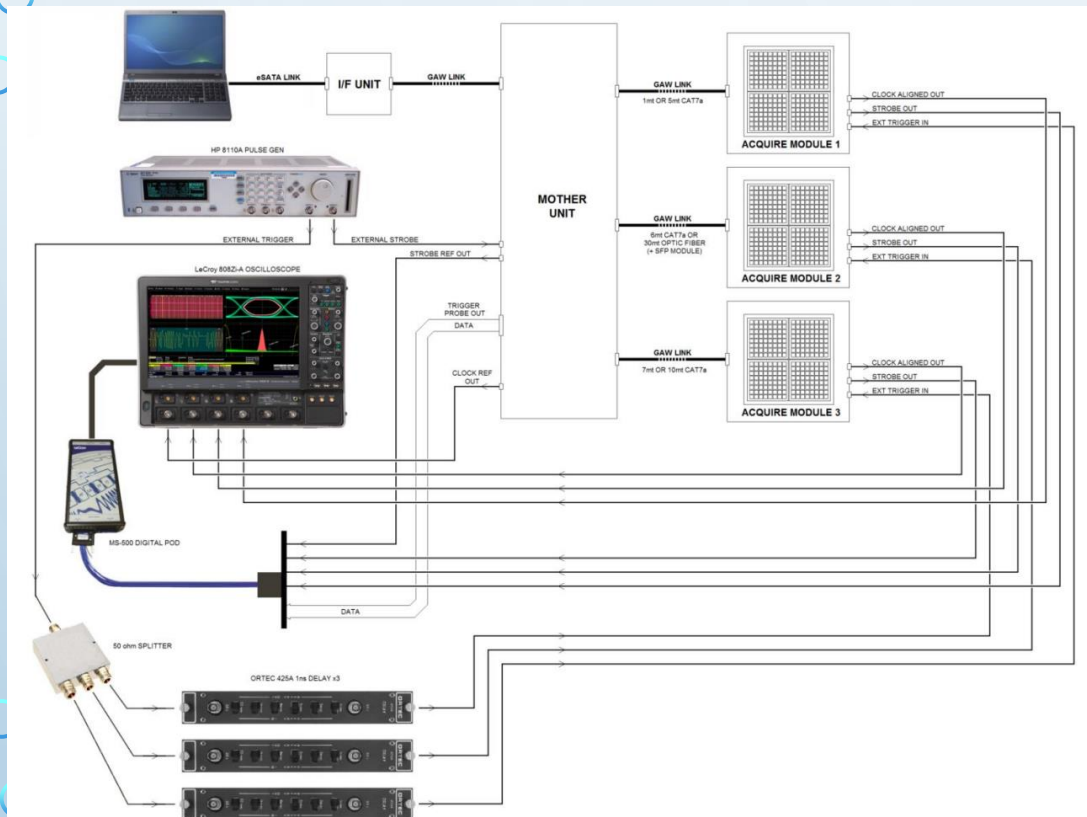
Con la evaluation board TERASIC (Cyclone V GX) si è realizzato un emulatore di FEE per il progetto **3D-CZT**



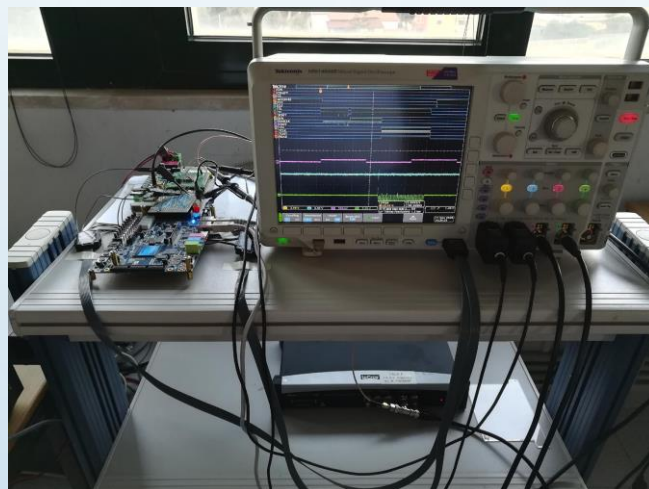
Con la stessa evaluation board si è realizzato un emulatore di FEE per il progetto **HERMES**

17

Realizzazione di setup sperimentali per i test dell'elettronica

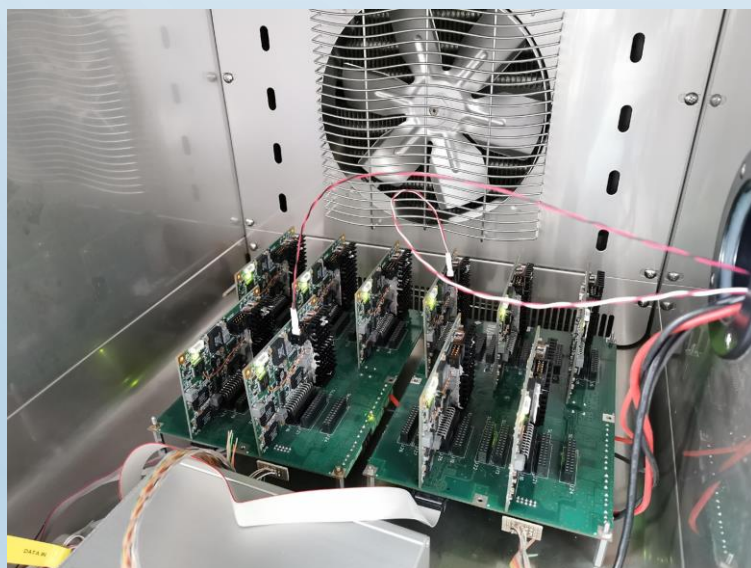


Realizzazione di setup sperimentali per i test dell'elettronica



Test FEE ASIC **RENA3**

Misura del PSRR nei regolatori LDO ad alte prestazioni per la PSU del progetto **HERMES**



Test della VDB della camera del telescopio **ASTRI Horn**
in camera climatica

19

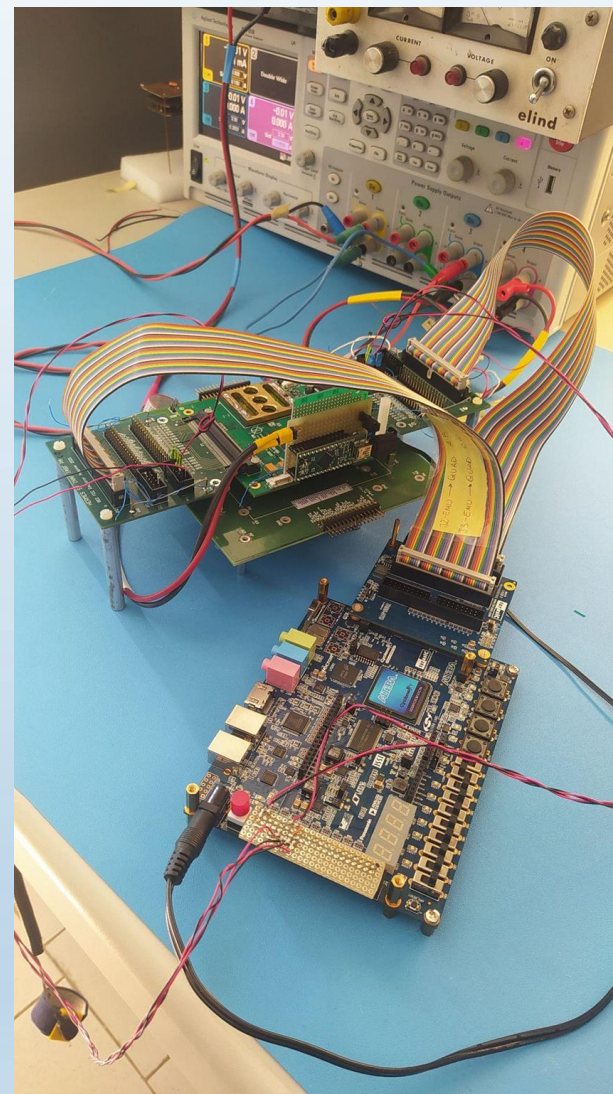
Realizzazione di setup sperimentali per i test dell'elettronica prototipale

Setup test per verifica funzionamento delle schede PSU-BEE-emuFEE del progetto **HERMES**

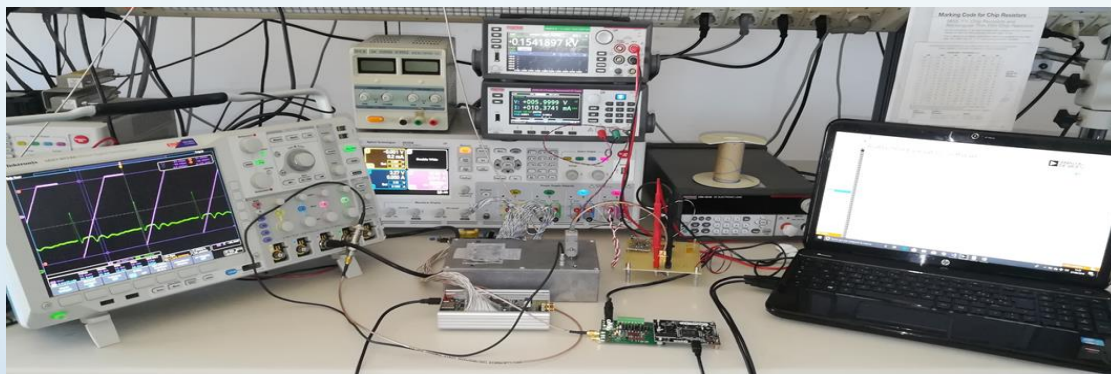
(Con emuFEE si indica un emulatore di FEE implementato mediante una evaluation board contenente una FPGA Cyclone V)

Peculiarità del setup realizzato in laboratorio:

- F\W della BEE
- F\W emulatore FEE
- S\W d'interfaccia che comunica sia con la BEE che con la FEE in quanto permette di caricare delle specifiche configurazioni



Realizzazione di setup sperimentali per i test dell'elettronica prototipale



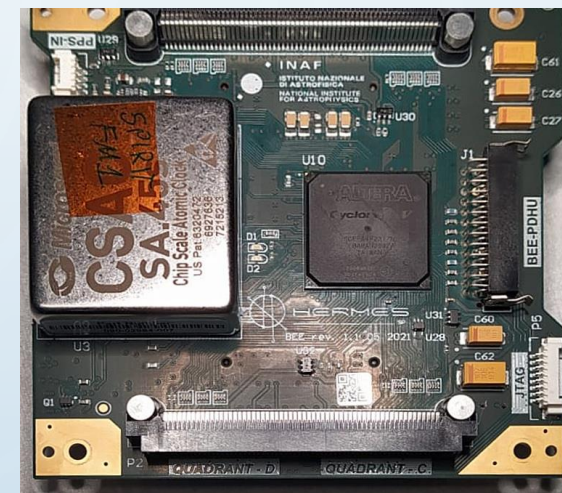
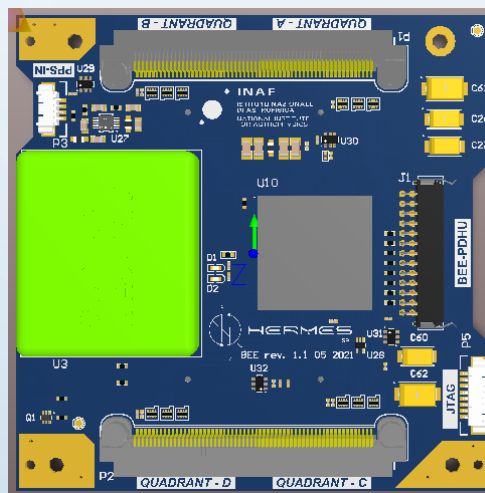
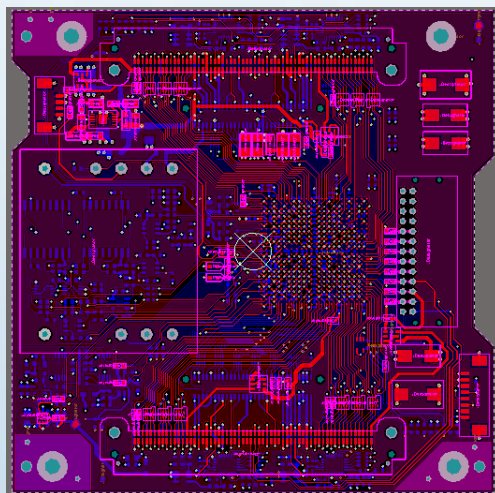
SETUP per testare l'interfaccia LYRA - ADC per il progetto **HERMES**



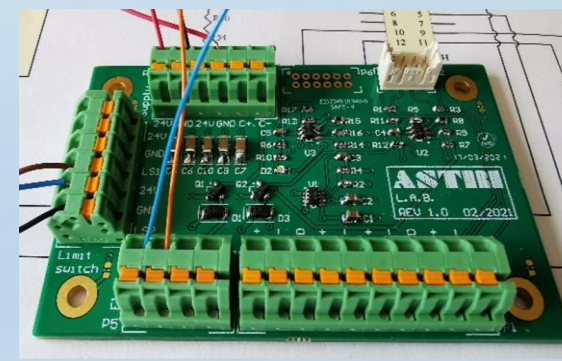
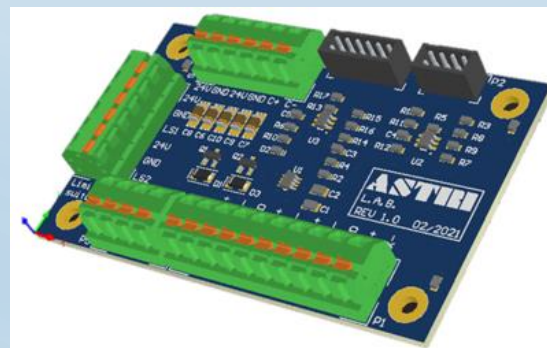
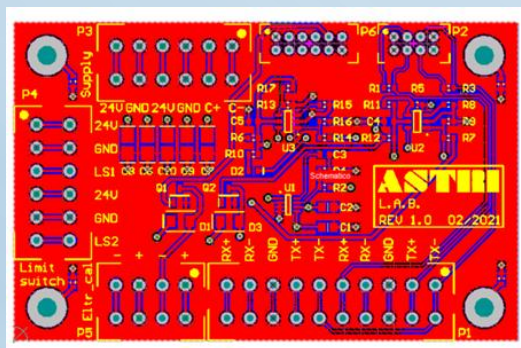
Setup test per irraggiamento con protoni dei componenti montati sulla PSU del NanoSAT **HERMES** allestito in collaborazione/sinergia con OAS di Bologna presso i laboratori del TIFPA (Trento Institute for Fundamental Physics and Application)

Progettazione dei circuiti stampati (PCB)

BEE HERMES

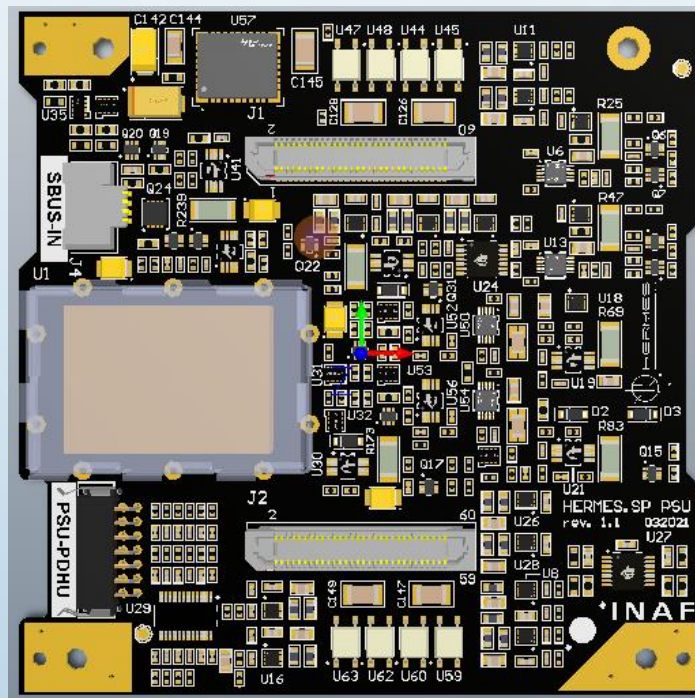
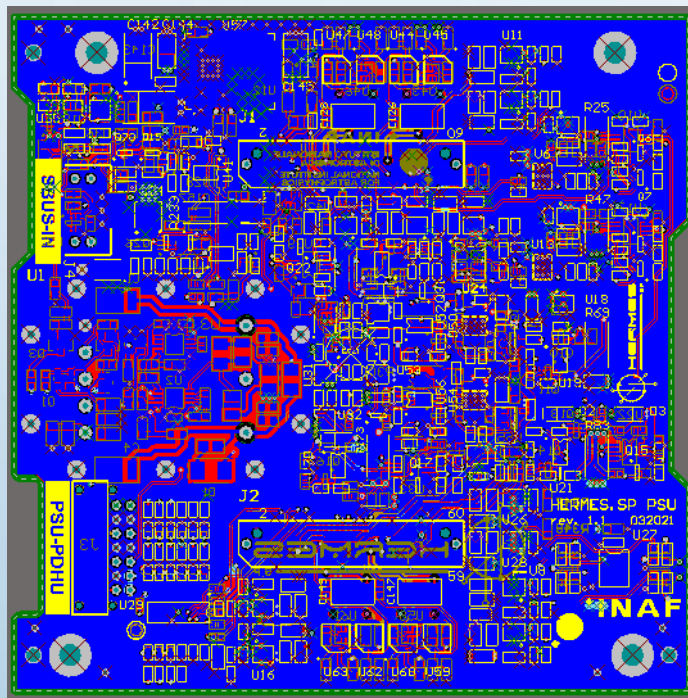


Scheda di interfaccia con lids



Progettazione dei circuiti stampati (PCB)

PSU HERMES



Grazie a tutti per la cortese attenzione!

Team di Elettronica e Rivelatori IASF di Palermo



**Giuseppe
Sottile**

giuseppe.sottile@inaf.it



**Francesco
Russo**

francesco.russo@inaf.it



**Paolo
Nogara**

paolo.nogara@inaf.it



**Fabio
Lo Gerfo**

fabio.logerfo@inaf.it



**Giovanni
La Rosa**

giovanni.larosa@inaf.it



**Osvaldo
Catalano**

osvaldo.catalano@inaf.it



**Stefano
Del Sordo**

stefano.delsordo@inaf.it